

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-183925

(43)Date of publication of application : 09.07.1999

(51)Int.Cl.

G02F 1/1345
 G02F 1/1333
 G02F 1/1339
 G02F 1/1339
 G02F 1/136

(21)Application number : 09-351812

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 19.12.1997

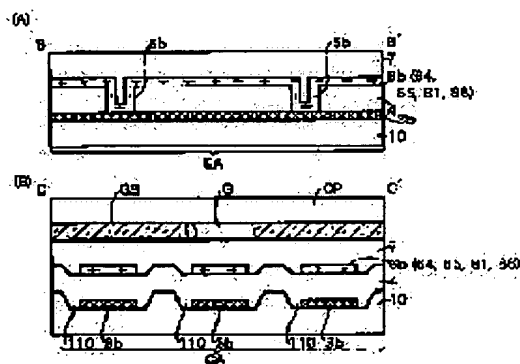
(72)Inventor : YONEYAMA RYOICHI

(54) LIQUID CRYSTAL DEVICE, AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal device in which no disconnection occurs even if signal lines composing a closed circuit is made to run in a lower layer side of a sealing material containing a gap material as a seal lower wiring.

SOLUTION: On a lower layer side of a seal material GS on the side of an active matrix substrate AM, signal wiring (a lower layer side wiring 3b, an upper layer side wiring 6b) are positively made to run therethrough, and this area is made as seal material forming area GA. Here, grooves 110 are formed beforehand in an area corresponding to an area for forming the lower layer side wiring 3b and the upper layer side wiring 6b, and the upsurges of film thickness of the wiring are absorbed in the grooves for offsetting them, and the whole seal material forming area GA is flattened. As a result, stress applied from the gap material G is distributed, and disconnection is prevented from occurring in the lower layer side of the seal material GS.



LEGAL STATUS

[Date of request for examination] 25.06.2001

[Date of sending the examiner's decision of rejection] 06.07.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2004-16041

[Date of requesting appeal against examiner's decision of rejection] 03.08.2004

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-183925

(43) 公開日 平成11年(1999) 7月9日

(51) Int.Cl.⁶

識別記号

F I

G 0 2 F 1/1345

G 0 2 F 1/1345

1/1333

5 0 5

1/1333

5 0 5

1/1339

5 0 0

1/1339

5 0 0

5 0 5

5 0 5

1/136

5 0 0

1/136

5 0 0

審査請求 未請求 請求項の数11 O L (全 15 頁)

(21) 出願番号

特願平9-351812

(22) 出願日

平成9年(1997)12月19日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 米山 良一

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

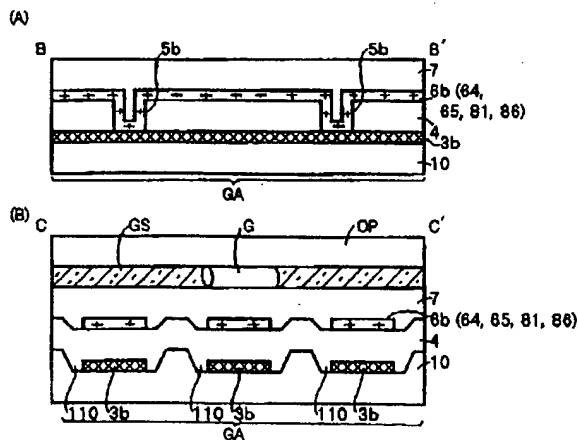
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 液晶装置、及びその製造方法

(57) 【要約】

【課題】 閉回路を構成している信号線をシール下配線としてギャップ材含有のシール材の下層側を通しても断線の発生しない液晶装置を提供すること。

【解決手段】 アクティブマトリクス基板AM側でシール材GSの下層側には、閉回路を構成する信号配線（下層側配線3b、上層側配線6b）を積極的に通し、この領域をシール材形成領域GAとする。ここで、基板10には下層側配線3bおよび上層側配線6bの形成領域に相当する領域に溝110を形成しておき、配線の膜厚分の盛り上がりをも溝110で吸収、相殺し、シール材形成領域GA全体を平坦化する。その結果、ギャップ材Gから加わる応力が分散し、シール材GSの下層側で断線が起きない。



【特許請求の範囲】

【請求項1】 第1基板と第2基板との間に液晶が封入されてなり、前記第1基板上にはマトリクス状に形成された画素電極を有する画素領域と、前記画素領域の周辺に形成された駆動回路部と、前記画素領域と駆動回路部との間に形成された第1配線とを有し、前記第1基板と前記第2基板とは、前記第1基板上に形成された前記配線上でギャップ材を含有するシール材により貼り合わされてなる液晶装置であって、

前記第1基板上には、前記第1配線と前記シール材とが重なる領域に凹部を有する第1絶縁膜が配置されてなり、前記第1配線は前記第1絶縁膜の前記凹部に配置されてなることを特徴とする液晶装置。

【請求項2】 請求項1において、前記第1基板は、前記シール材と重なる領域において、前記凹部に配置された前記第1配線と、前記第1配線上に配置された第2絶縁膜、及び該第2絶縁膜上に前記第1配線に重なるように配置された第2配線とを備えることを特徴とする液晶装置。

【請求項3】 請求項2において、前記第2絶縁膜は凹部を有し、前記第2配線は前記第2絶縁膜の凹部に配置されてなることを特徴とする液晶装置。

【請求項4】 請求項3ないし4において、前記層間絶縁膜を介して互いに重なる前記第1配線と前記第2配線とは、前記第1絶縁膜に形成されたコンタクトホールを介して接続されていることを特徴とする液晶装置。

【請求項5】 第1と第2基板間に液晶が封入されてなり、前記第1基板上には複数の走査線と、前記複数の走査線に交差する複数のデータ線と、前記走査線とデータ線に接続されたトランジスタと、前記トランジスタに接続された画素電極とからなる画素領域と、前記画素領域の周辺に形成された駆動回路部と、前記画素領域と駆動回路部との間に形成された第1配線とを有し、前記第1基板と前記第2基板とは、前記第1基板上に形成された前記配線上でギャップ材を含有するシール材により貼り合わされてなる液晶装置であって、

前記第1基板上には、前記第1配線と前記シール材とが重なる領域に凹部を有する第1絶縁膜が配置されてなり、前記第1配線は前記第1絶縁膜の前記凹部に配置されてなることを特徴とする液晶装置。

【請求項6】 請求項5において、前記第1基板は、前記シール材と重なる領域において、前記凹部に配置された前記第1配線と、前記第1配線上に配置された第2絶縁膜と、前記第2絶縁膜上に前記第1配線に重なるように配置された第2配線とを備えることを特徴とする液晶装置。

【請求項7】 請求項6において、前記第2絶縁膜は凹部を有し、前記第2配線は前記第2絶縁膜の凹部に配置されてなることを特徴とする液晶装置。

【請求項8】 請求項6ないし7において、前記第1絶

縁膜を介して互いに重なる前記第1配線と前記第2配線とは、前記第1絶縁膜に形成されたコンタクトホールを介して接続されていることを特徴とする液晶装置。

【請求項9】 請求項6において、前記第1配線は、前記データ線および前記走査線のうちの一方の信号線と同時形成された配線であり、前記第2配線は、前記データ線および前記走査線のうちの他方の信号線と同時形成された配線であることを特徴とする液晶装置。

【請求項10】 請求項7ないし9において、前記駆動回路は、前記複数のデータ線のそれぞれに画像信号を供給するデータ線駆動回路と、前記複数の走査線のそれぞれに走査信号を供給する走査線駆動回路とを有し、前記画面表示領域から前記データ線駆動回路への前記データ線の引き出し部分、および前記画面表示領域から前記走査線駆動回路への前記走査線の引き出し部分のそれぞれが前記シール材形成領域に配置された配線を構成していることを特徴とする液晶装置。

【請求項11】 第1と第2基板間に液晶が封入されてなり、前記第1基板上には複数の走査線と、前記複数の走査線に交差する複数のデータ線と、前記走査線とデータ線に接続されたトランジスタと、前記トランジスタに接続された画素電極とからなる画素領域と、前記画素領域の周辺に形成された駆動回路部と、前記画素領域と駆動回路部との間に形成された第1配線とを有し、前記第1基板と前記第2基板とは、前記第1基板上に形成された前記配線上でギャップ材を含有するシール材により貼り合わされてなる液晶装置の製造方法であって、前記第1基板上に第1絶縁膜を形成する工程と、前記第1絶縁膜に凹部を形成する工程と、前記第1絶縁膜の凹部に第1配線を形成するとともに、前記第1配線と同一材料で前記走査線と前記ソース線のうちの一方の配線を形成する工程とを有することを特徴とする液晶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス基板を用いた液晶装置に関するものである。さらに詳しくは、アクティブマトリクス基板と対向基板とを貼り合わせるギャップ材含有のシール材を形成する領域で下地となるシール材形成領域の構造に関するものである。

【0002】

【従来の技術】液晶装置に用いられるアクティブマトリクス基板には、石英基板や無アリカリガラスなどの基板上に複数の走査線と複数のデータ線とが交差する方向に形成され、これらの信号線によって複数の画素がマトリクス状に構成されている。これらの画素がマトリクス状に並んでいる領域が画面表示領域である。アクティブマトリクス基板と対向基板とは画面表示領域より外側に形成されたギャップ材含有のシール材によって所定のセル

ギャップを隔てて貼り合わされるが、セルギャップを精度よく出すには、アクティブマトリクス基板側においてシール材の下地領域となる部分には、シール材形成領域としての平坦さが求められる。

【0003】そこで、従来は、図17に示すように、アクティブマトリクス基板AMでは、画面表示領域21の外側において、画面表示領域21からデータ線駆動回路22へのデータ線Xの引き出し部分、および画面表示領域21から走査線駆動回路23への走査線Yの引き出し部分が多数並列し、そこに実質的に平坦な領域を形成しているの、この領域をシール材形成領域GAとして利用することがある。この場合には、たとえば、データ線Xの引き出し部分および走査線Yの引き出し部分をそのままシール材形成領域GAを構成するシール下配線として利用することもあるが、図18、および図19

(A)、(B)に示すように、たとえば、走査線Yをポリシリコン膜からなる下層側配線3bとし、この下層側配線3bに第1層間絶縁膜4を介してアルミニウム膜からなる上層側配線6bを重ねてシール下配線を2層構造とすることにより、周囲より1段高くし、かつ、各配線が隣合う配線とわずかな隙間を介して並んだシール材形成領域GAを構成することがある。このように構成すると、図19(B)に示すように、アクティブマトリクス基板AMと対向基板OPとをギャップ材G含有のシール材GSによって貼り合わせたとき、各配線上にシール材GSに含まれていたギャップ材Gがのるので、アクティブマトリクス基板AMと対向基板OPとのセルギャップを制御することができる。

【0004】

【発明が解決しようとする課題】図19(B)に示すように、シール下配線に相当する部分が周囲からみて1段高く突出しているのを利用したギャップ制御構造では、ギャップ材Gからの応力がシール下配線に集中するので、シール下配線にクラックが発生しやすい傾向にある。それでも、シール下配線があくまで閉回路を構成していないダミー配線であれば、たとえ断線が発生しても表示に支障がない。

【0005】しかし、データ線Xや走査線Yのようにそれ自身が信号線として閉回路を構成しているような配線をシール下配線として用いた場合に、前記の断線が発生すると、表示に線欠陥が発生するという問題点がある。このような問題点はシール下配線を1層の配線から構成した場合でも発生するが、シール下配線を2層構造にすると、その分、シール下配線に相当する部分が高く突出するので断線が発生しやすい傾向にある。

【0006】以上の問題点に鑑みて、本発明の課題は、閉回路を構成している信号線をシール下配線としてギャップ材含有のシール材の下層側を通して断線の発生しない液晶装置を提供することにある。

【0007】

【課題を解決するための手段】上記課題を解決するため、本発明は、第1と第2基板間に液晶が封入されており、前記第1基板上にはマトリクス状に形成された画素電極を有する画素領域と、前記画素領域の周辺に形成された駆動回路部と、前記画素領域と駆動回路部との間に形成された第1配線とを有し、前記第1基板と前記第2基板とは、前記第1基板に形成された前記配線上でギャップ材を含有するシール材により貼り合わされてなる液晶装置であって、前記第1基板上には、前記第1配線と前記シール材とが重なる領域に凹部を有する第1絶縁膜が配置されており、前記第1配線は前記第1絶縁膜の前記凹部上に配置されてなることを特徴とする。本発明によれば、シール材の形成領域において、配線は絶縁膜の凹部に形成されているため、配線の膜厚分に相当する盛り上がりは溝の深さで緩和、吸収されることになり、第1基板のシール材形成領域の最上層を平坦にすることが可能である。このため、シール材の形成領域の表面にギャップ材含有のシール材を塗布し、このシール材からの応力はシール材形成領域に分散して加わるので、シール材下に形成された配線に集中することを防ぐことができる。それ故、製造効率の低い平坦化技術などを用いなくてもよい。

【0008】本発明は、前記第1基板は、前記シール材と重なる領域において、前記凹部に配置された前記第1配線と、前記第1配線上に配置された第2絶縁膜、及び該第2絶縁膜上に前記第1配線に重なるように配置された第2配線とを備えることを特徴とする。

【0009】本発明は、前記第2絶縁膜は凹部を有し、前記第2配線は前記第2絶縁膜の凹部上に配置されてなることを特徴とする。このような構成によれば、第1と第2の配線はそれぞれ凹部を有する絶縁膜上に形成されるため、平坦化することが可能となる。

【0010】本発明は、前記層間絶縁膜を介して互いに重なる前記第1配線と前記第2配線とは、前記層間絶縁膜に形成されたコンタクトホールを介して接続されていることを特徴とする。このように、シール形成領域において、第1配線と第2配線とを接続させることにより、配線抵抗を小さくすることができ、また冗長配線構造となるので、第1配線と第2配線の一方に断線が発生したとしても、信号の伝達が可能である。

【0011】本発明は、第1と第2基板間に液晶が封入されており、前記第1基板上には複数の走査線と、前記複数の走査線に交差する複数のデータ線と、前記走査線とデータ線に接続されたトランジスタと、前記トランジスタに接続された画素電極からなる画素領域と、前記画素領域の周辺に形成された駆動回路部と、前記画素領域と駆動回路部との間に形成された第1配線とを有し、前記第1基板と前記第2基板とは、前記第1基板に形成された前記配線上でギャップ材を含有するシール材により貼り合わされてなる液晶装置であって、前記第1基板上

には、前記第1配線と前記シール材とが重なる領域に凹部を有する第1絶縁膜が配置されてなり、前記第1配線は前記第1絶縁膜の前記凹部に配置されてなることを特徴とする。本発明によれば、シール材の形成領域において、配線は絶縁膜の凹部に形成されているため、配線の膜厚分に相当する盛り上がりは溝の深さで緩和、吸収されるため、第1基板のシール材形成領域の最上層を平坦にすることが可能である。このため、シール材形成領域の表面にギャップ材含有のシール材を塗布し、このシール材からの応力はシール材形成領域に分散して加わるので、シール材下に形成された配線に集中することを防ぐことができる。

【0012】本発明は、前記第1配線は、前記データ線および前記走査線のうちの一方の信号線と同時形成された配線であり、前記第2配線は、前記データ線および前記走査線のうちの他方の信号線と同時形成された配線であることを特徴とする。このような構成によれば、前記第1配線と第2配線をデータ線または走査線と同時形成することにより、製造工程数を抑えることが可能である。

【0013】本発明は、前記駆動回路は、前記複数のデータ線のそれぞれに画像信号を供給するデータ線駆動回路と、前記複数の走査線のそれぞれに走査信号を供給する走査線駆動回路とを有し、前記画面表示領域から前記データ線駆動回路への前記データ線の引き出し部分、および前記画面表示領域から前記走査線駆動回路への前記走査線の引き出し部分のそれぞれが前記シール下配線を構成していることを特徴とする。このように構成した場合には、前記画素領域から前記データ線駆動回路への前記データ線の引き出し部分、および前記画素領域から前記走査線駆動回路への前記走査線の引き出し部分のそれぞれを前記シール形成領域に形成することにより、シール形成領域を有効利用することができる。

【0014】本発明は、第1と第2基板間に液晶が封入されてなり、前記第1基板上には複数の走査線と、前記複数の走査線に交差する複数のデータ線と、前記走査線とデータ線に接続されたトランジスタと、前記トランジスタに接続された画素電極とからなる画素領域と、前記画素領域の周辺に形成された駆動回路部と、前記画素領域と駆動回路部との間に形成された第1配線とを有し、前記第1基板と前記第2基板とは、前記第1基板に形成された前記配線上でギャップ材を含有するシール材により貼り合わされてなる液晶装置の製造方法であって、前記第1基板上に第1絶縁膜を形成する工程と、前記第1絶縁膜に凹部を形成する工程と、前記第1絶縁膜の凹部に第1配線を形成するとともに、前記第1配線と同一材料で前記走査線と前記ソース線のうちの一方の配線を形成する工程とを有することを特徴とする。本発明の構成によれば、走査線とデータ線の一方の配線と信号線とを同時に形成することができ、また絶縁膜の凹部に信号線

が形成されるため、シール形成領域を平坦にすることが可能である。

【0015】

【発明の実施の形態】図面を参照して、本発明の実施の形態を説明する。

【0016】（液晶装置の全体構成）図1および図2は、それぞれ、本発明を適用した液晶装置の平面図、およびそのH-H'線における断面図である。

【0017】これらの図に示すように、液晶装置LPは、後述する画素がマトリクス状に形成された矩形の画面表示領域21、この画面表示領域21の外側領域に形成されたデータ線駆動回路22、および画面表示領域21の両側に形成された一対の走査線駆動回路23を備えるアクティブマトリクス基板AMと、このアクティブマトリクス基板AMに対向配置された対向基板OPとから概略構成されている。

【0018】対向基板OPとアクティブマトリクス基板AMとは、画面表示領域21とデータ線駆動回路22および走査線駆動回路23との間に相当する領域で画面表示領域21の外周縁に沿って形成されたギャップ材含有のシール材GSによって所定のセルギャップを隔てて貼り合わされているとともに、このシール材GSの内側領域に液晶LCが封入されている。ここで、シール材GSは部分的に途切れているので、この途切れ部分によって、液晶注入口241が構成されている。このため、液晶装置LPでは、対向基板OPとアクティブマトリクス基板AMとを貼り合わせた後、シール材GSの内側領域を減圧状態にすれば、液晶注入口241から液晶LCを減圧注入でき、液晶LCを封入した後、液晶注入口241を封止剤242で塞いだ構成になっている。シール材GSには、エポキシ樹脂や各種の紫外線硬化樹脂などを用いることができ、それに配合されるギャップ材としては直径約2μm～約6μmの円筒や球状のガラスファイバーなどを用いることができる。

【0019】ここで、対向基板OPはアクティブマトリクス基板AMよりも小さいので、アクティブマトリクス基板AMの周辺部分は、対向基板OPの外周縁よりはみ出た状態に貼り合わされる。従って、シール材GSは、対向基板OPからみれば基板外周縁に沿って形成されているが、アクティブマトリクス基板AMからみれば、基板外周縁からかなり内側に形成されている。それ故、走査線駆動回路23およびデータ線駆動回路22は、対向基板OPの外側に位置しており、対向基板OPとは対向していない。

【0020】アクティブマトリクス基板AMでは、データ線駆動回路22の側の辺部分には定電源、変調画像信号、各種信号などが入力されるアルミニウム膜等の金属膜、金属シリサイド膜、あるいはITO膜等の導電膜からなる多数の外部入出力端子25が構成されている。これらの外部入出力端子25からは、走査線駆動回路23

およびデータ線駆動回路22を駆動するためのアルミニウム膜等の低抵抗な金属膜や金属シリサイド膜からなる複数の信号線28がそれぞれ引き回されている。

【0021】対向基板OPには、アクティブマトリクス基板AMの側に形成されている各画素の画素電極に対して液晶LCを挟んで対向するITO膜からなる対向電極51と、各画素を囲むように形成された遮光膜からなるブラックマトリクスBM1とが形成されている。また、対向基板OPには、シール材GSの内周縁に沿って表示画面見切り用の遮光膜BM2も形成されている。

【0022】アクティブマトリクス基板AMの外周部分には、シール材GSの形成領域のうち画面表示領域21の角部分に相当する領域に上下導通端子33が形成され、この上下導通端子33上でアクティブマトリクス基板AMと対向基板OPとの間に挟まれた銀点ボールからなる上下導通材31によって、アクティブマトリクス基板AMの共通電位線32から対向基板OPの対向電極51には共通電位が供給されている。

【0023】(アクティブマトリクス基板および画面表示領域の構成) 図3は、本形態の液晶装置に用いられる駆動回路内蔵型のアクティブマトリクス基板のブロック図である。

【0024】図3において、一点鎖線L1は画面表示領域21を区画する位置を示し、一点鎖線L2は、シール材GSの形成領域を示している。

【0025】アクティブマトリクス基板AMでは、石英基板や無アルカリガラスなどの透明な基板10の上に複数の走査線Yと複数のデータ線Xとによって複数の画素PXがマトリクス状に構成されている。いずれの画素PXも、それを取り出して図4に示すように、走査線Yおよびデータ線Xに接続する画素スイッチング用の薄膜トランジスタ60(以下、薄膜トランジスタをTFTという。)が形成されている。このTFT60の基本的な構成は、従来からあるTFTの構成と同一なので、製造方法の中で詳述するが、そのドレイン電極は、対向基板OPの対向電極51との間に液晶LCを挟んで液晶セルを構成する画素電極9aである。なお、液晶セルに対しては、前段のゲート線や容量配線Zを利用して保持容量CAPが構成されている。画素スイッチング用のTFT60は、走査線Yの一部であるゲート電極と、データ線Xの一部であるソース電極に第1層間絶縁膜の第1のコンタクトホール5aを介して電気的に接続するソース領域と、第1層間絶縁膜および第2層間絶縁膜を貫通する第2のコンタクトホール8aを介してITO膜からなる画素電極9aが電気的に接続するドレイン領域とを備えている。

【0026】(駆動回路の構成) 再び図3において、アクティブマトリクス基板AMに構成されているデータ線駆動回路22は、X側シフトレジスタ回路およびバッファ回路を有しており、データ線駆動回路22と画面表示

領域21との間には、X側シフトレジスタ回路からバッファ回路を介して出力された信号に基づいて動作するTFT(アナログスイッチ)を備えるサンプリング回路224、および6相に展開された各画像信号に対応する6本の画像信号線VID1~VID6が構成されている。なお、データ線駆動回路22、画像信号線VID1~VID6、およびサンプリング回路224は、X側シフトレジスタ回路からサンプリング回路224への信号を供給するためのサンプリング駆動信号線64と、画像信号線VID1~VID6とサンプリング回路224とを接続する画像信号サンプリング用配線65とによって回路的に接続されている。このため、サンプリング回路224は、データ線駆動回路22から出力された信号に基づいて各TFTが動作し、画像信号線VID1~VID6を介して供給される画像信号を所定のタイミングでデータ線Xに取り込み、各画素PXに供給することが可能である。

【0027】また、アクティブマトリクス基板AMに構成されている走査線駆動回路23も、Y側シフトレジスタ回路およびバッファ回路を備えている。

【0028】本形態のアクティブマトリクス基板AMでは、さらに、画面表示領域21に対してデータ線駆動回路22が形成されている側とは反対側で前記の表示画面見切り用の遮光膜BM2に重なる領域には、各行毎に画像信号が極性反転する反転駆動方式を適正に行なうためのリセット駆動回路80も構成されている。

【0029】(リセット駆動回路) 図5は、図1に示す液晶装置で行なうリセット(プリチャージ)動作を示すタイミングチャートである。

【0030】アクティブマトリクス基板AMを用いた液晶装置LPにおいて、たとえば、各行毎に画像信号が極性反転する反転駆動方式を行うと、図5(A)に示すように、データ線X(画素スイッチング用のTFT60のソース電極)に供給される画像信号は1水平走査期間毎に極性が反転しながらTFT60を介して液晶セルに書き込まれるので、画素スイッチング用のTFTの画素電極の電位は、図5(B)に示すように変化する。すなわち、画像信号は1水平走査期間毎に極性が反転するので、画素電極の電位は大きく変化し、その分、データ線Xから画像信号線VID1~VID6への充放電が繰り返される。このような充放電は、NTSC規格に基づく表示であればサンプリングレートが比較的低いので、表示の品位に悪影響を及ぼしにくい。HDTVや倍速NTSCによる表示を行うと、サンプリングレートが高いため、表示にノイズなどを発生させる原因となる。

【0031】そこで、本形態では、図3に示すように、画面表示領域21に対してデータ線駆動回路22とは反対側の領域には、水平帰線区間などを利用してデータ線Xへの画像信号の供給に先立ってデータ線Xのそれぞれにリセット電位を印加するための2系列のリセット信号

線81、82、リセット電位給断用スイッチ回路83、およびこのリセット電位給断用スイッチ回路83を駆動するリセット駆動信号線86を備えるリセット駆動回路80を構成し、データ線Xからの充放電をリセット電位で殆ど済ませておく。この構成によれば、図5(C)に示すように、データ線Xに画像信号を供給する直前にリセット信号線81、82から所定の極性をもつリセット電位が印加される。このため、データ線Xからの充放電を画像信号がデータ線Xに供給される前に殆ど済ませておけるので、図5(D)に示すように、画素電極の電位の時間的变化が小さく、データ線Xからの充放電量を抑えることができる。従って、画像信号線VID1~VID6の電位の揺れを防止できるので、表示にノイズが発生することを抑制できる。

【0032】さらに、本形態のアクティブマトリクス基板AMでは、リセット信号線81、82よりも外側領域にはリセット信号線81、82に平行に定電位線84が構成され、この定電位線84とリセット信号線81、82との間にはキャパシタ85が構成されている。定電位線84は、たとえば、容量配線Zなどと同様、アクティブマトリクス基板AMと貼り合わされる対向基板OPの対向電極51の電位と同電位に設定され、この電位は図5(C)、(D)に示す画像信号やリセット信号の振幅の中間電位に相当する。このように、本形態のアクティブマトリクス基板AMでは、リセット信号線81、82と定電位線84との間にキャパシタ85が構成されているため、リセット信号線81、82の時定数が大きいため、リセット信号線81、82を介して他のデータ線Xに信号が回り込むことをより確実に防止できる。よって、データ線Xへの画像信号の供給に先立ってデータ線Xのそれぞれにリセット電位を印加するタイプの液晶装置であっても、信号の回り込みに起因する横クロストークなどが現れず、表示の品位を向上させることができる。

【0033】(シール材形成領域の構成)このように構成したアクティブマトリクス基板AMでは、図3に一点鎖線L2で示す領域にシール材GSが形成される。このシール材GSを形成するにあたって、本形態では、図6~図13を参照して詳述するように、アクティブマトリクス基板AM側でシール材GSの下層側領域には、液晶装置LPの表示動作などを担う閉回路を構成している信号線を通すことによって、この領域をシール材形成領域として実質的に平坦化する。

【0034】図6は、液晶装置LPのコーナー部分(図1の円形領域L11)の拡大図である。図7は、図6に示すデータ線駆動回路周辺のシール材形成領域の説明図である。図8(A)、(B)はそれぞれ、図7のB-B'線における断面図、およびC-C'線における断面図である。図9は、図6に示す走査線駆動回路周辺のシール材形成領域の説明図である。図10(A)、

(B)はそれぞれ、図9のB-B'線における断面図、およびC-C'線における断面図である。

【0035】まず、図6に示すように、本形態のアクティブマトリクス基板AMでは、画面表示領域21の外側領域のうち、データ線駆動回路22と画面表示領域21の間では、サンプリング回路224と画像信号線VID1~VID6との間に相当する領域にギャップ材含有のシール材GSが形成されている。このため、シール材GSの下層側領域には、データ線駆動回路22とサンプリング回路224とを配線接続する複数列のサンプリング駆動信号線64(画面表示領域21からデータ線駆動回路22へのデータ線Xの引き出し部分)と、画像信号線VID1~VID6とサンプリング回路224とを接続する画像信号サンプリング用配線65(画面表示領域21からデータ線駆動回路22へのデータ線Xの引き出し部分)とがシールが形成された領域下の配線として並列して通過している。

【0036】また、図7にデータ線駆動回路22の周辺を拡大して示すように、サンプリング信号駆動信号線64および画像信号サンプリング用配線65の形成領域の両側には、これらの信号線と等間隔にリセット駆動回路80のリセット信号線81およびリセット駆動信号線86が通っており、これらのリセット信号線81およびリセット駆動信号線86も、シール材GSの下層側領域をシール下配線として通過している。

【0037】なお、マトリクス状に形成した各画素PXのうち、外周縁にある画素は特性が安定しないとして、表示に使用されないダミー画素PX'として見切り用の遮光膜BM2に重なっている。

【0038】ここで、サンプリング信号駆動信号線64、画像信号サンプリング用配線65、リセット信号線81およびリセット駆動信号線86は、シール材GSの下層側を通るシール下配線に相当する部分が、図7および図8(A)に示すように、データ線Xと同時に形成されたアルミニウム膜(導電膜)からなる上層側配線6bとして構成され、この上層側配線6bは、走査線Yと同時に形成されたポリシリコン膜(導電膜)からなる下層側配線3bに第1層間絶縁膜4を介して重なっている。また、下層側配線3bと上層側配線6bとは、第1層間絶縁膜4の複数のコンタクトホール5bを介して複数箇所電気的に接続して冗長配線構造を構成している。

【0039】このように、下層側配線3bと上層側配線6bが2層構造で、隣合う配線とわずかな隙間を介して並んでいるのを利用して、そこをシール材GSを塗布すべきシール材形成領域GAとして利用するが、本形態では、図8(B)に図7のC-C'断面を示すように、基板10の表面のうちシール材形成領域GAにおいて各々のシール下配線(下層側配線3bおよび上層側配線6b)と重なる領域には基板表面で凹む複数列の溝110(凹部)が形成されている。従って、シール材GSの下

層側に相当する領域にシール下配線（下層側配線 3 b および上層側配線 6 b）を形成しても、シール下配線の膜厚分に相当する盛り上がりは溝 110 の深さで緩和、吸収されるので、シール材形成領域 G A の最表層（第 2 層間絶縁膜 7 の表面）は平坦である。このため、シール材形成領域 G A の表面にギャップ材 G を含有のシール材 G S を塗布し、このシール材 G S によってアクティブマトリクス基板 A M と対向基板 O P とを貼り合わせても、ギャップ材 G からの応力はシール材形成領域 G A に分散して加わるので、シール下配線（下層側配線 3 b および上層側配線 6 b）に集中することがない。それ故、閉回路を構成している信号線（サンプリング信号駆動信号線 6 4、画像信号サンプリング用配線 6 5、リセット信号線 8 1 およびリセット駆動信号線 8 6）をギャップ材 G を含有のシール材 G S の下層側を通して断線が発生しないので、表示の線欠陥などは発生しない。

【0040】また、このシール下配線に相当する部分では、配線が 2 層構造になっているので、電気的抵抗が小さいとともに、たとえ下層側配線 3 b および上層側配線 6 b の一方に断線が発生したとしても、信号や電位の伝達・供給が可能であり、表示には支障がない。

【0041】図 6 に示すように、走査線駆動回路 2 3 と画面表示領域 2 1 との間では、画面表示領域 2 1 から走査線駆動回路 2 3 への走査線 Y の引き出し部分に相当する領域にシール材 G S が形成されている。従って、シール材 G S の下層側領域には、走査線 Y がシール下配線として並列して通過している。

【0042】また、図 9 にデータ線駆動回路 2 2 の周辺を拡大して示すように、走査線 Y に隣接する位置にはリセット駆動回路 8 0 のリセット信号線 8 2 が通っており、このリセット信号線 8 2 も、シール材 G S の下層側領域をシール下配線として通過している。

【0043】ここで、走査線 Y は、シール材 G S の下層側を通るシール下配線に相当する部分が、図 9 および図 10 (A) に示すように、ポリシリコン膜（導電膜）からなる下層側配線 3 b として構成され、この下層側配線 3 b には、データ線 X と同時形成されたアルミニウム膜（導電膜）からなる上層側配線 6 b が第 1 層間絶縁膜 4 を介して重なっている。また、走査線 Y では、下層側配線 3 b と上層側配線 6 b とが第 1 層間絶縁膜 4 の複数のコンタクトホール 5 b を介して複数箇所電気的に接続して冗長配線構造を構成している。

【0044】これに対して、リセット信号線 8 2 は、シール材 G S の下層側を通るシール下配線に相当する部分が、図 9 および図 10 (A) に示すように、データ線 X と同時形成されたアルミニウム膜（導電膜）からなる上層側配線 6 b として構成され、この上層側配線 6 b は、走査線 Y と同時形成されたポリシリコン膜（導電膜）からなる下層側配線 3 b に第 1 層間絶縁膜 4 を介して重なっている。また、リセット信号線 8 2 でも、下層側配線

3 b と上層側配線 6 b とは、第 1 層間絶縁膜 4 の複数のコンタクトホール 5 b を介して複数箇所電気的に接続して冗長配線構造を構成している。

【0045】このように、走査線駆動回路 2 3 の周辺でも下層側配線 3 b と上層側配線 6 b が 2 層構造で、隣合う配線とわずかな隙間を介して並んでいるのを利用して、そこをシール材 G S を塗布すべきシール材形成領域 G A として利用するが、本形態では、図 10 (B) に図 9 の C-C' 断面を示すように、基板 10 の表面のうちシール材形成領域 G A において各々のシール下配線（下層側配線 3 b および上層側配線 6 b）と重なる領域には基板表面で凹む複数列の溝 110（凹部）が形成されている。従って、シール材 G S の下層側に相当する領域にシール下配線（下層側配線 3 b および上層側配線 6 b）を形成しても、シール下配線の膜厚分に相当する盛り上がりは溝 110 の深さで緩和、吸収されるので、シール材形成領域 G A の最表層（第 2 層間絶縁膜 7 の表面）は平坦である。このため、シール材形成領域 G A の表面にギャップ材 G を含有のシール材 G S を塗布し、このシール材 G S によってアクティブマトリクス基板 A M と対向基板 O P とを貼り合わせても、ギャップ材 G からの応力はシール材形成領域 G A に分散して加わるので、シール下配線に集中することがない。それ故、閉回路を構成している信号線（走査線 Y およびリセット信号線 8 2）をギャップ材 G を含有のシール材 G S の下層側を通して断線が発生しないので、表示の線欠陥などは発生しない。

【0046】また、このシール下配線に相当する部分でも、配線が 2 層構造になっているので、電気的抵抗が小さいとともに、たとえ下層側配線 3 b および上層側配線 6 b の一方に断線が発生したとしても、信号や電位の伝達・供給が可能であり、表示には支障がない。

【0047】図 11 は、液晶装置 L P のコーナー部分（図 1 の円形領域 L 12）の拡大図である。図 12 は、図 11 に示すリセット回路周辺部分のシール材形成領域の説明図である。図 13 (A)、(B)、(C) はそれぞれ、図 12 の D-D' 線における断面図、E-E' 線における断面図、および F-F' 線における断面図である。

【0048】図 11 に示すように、走査線駆動回路 2 3 の周辺のうちデータ線駆動回路 2 2 の側とは反対側領域では、リセット駆動回路 8 0 を構成するリセット信号線 8 1、8 2 と、定電位線 8 4 との間にシール材 G S が形成され、このシール材 G S の下層側領域には、図 12 を参照して説明するように、キャパシタ 8 5 を構成する電極としての上層側配線 6 b と下層側配線 3 b とがシール下配線として通過している。

【0049】図 12 および図 13 (A)、(B) に示すように、リセット信号線 8 1、8 2 および定電位線 8 4 は、いずれも走査線 Y と同時形成されたポリシリコン膜

からなる配線である。キャパシタ 85 を構成する 2 つの配線のうち、下層側配線 3 b は、あくまで定電位線 84 からリセット信号線 81、82 に向かって突き出た延設部分であり、リセット信号線 81、82 および走査線 Y と同時形成されたポリシリコン膜からなる電極層である。これに対して、上層側配線 6 b は、データ線 X と同時形成されたアルミニウム層からなる電極層であり、リセット信号線 81、82 に対してはコンタクトホール 5 b を介して電氣的接続している。ここで、リセット信号線 81、82 に対してコンタクトホール 5 b を介して電氣的接続する電極層を上層側配線 6 b として用いたのは、リセット信号線 81、82 が互いに同層位置であるため、リセット信号線 82 に電氣的接続する上層側配線 6 b については、リセット信号線 81 に電氣的接続させずに定電位線 84 に向けて延設するためである。この形態では、キャパシタ 85 は上層側配線 6 b と下層側配線 3 b の重なり部分に第 1 層間絶縁膜 4 を誘電体膜として備えている。

【0050】この領域では、キャパシタ 85 を構成する下層側配線 3 b と上層側配線 6 b が 2 層構造で、隣合う配線とわずかな隙間を介して並んでいるのを利用して、そこをシール材 G S を塗布すべきシール材形成領域 G A として利用するが、本形態では、図 13 (C) に図 12 の F-F' 断面を示すように、基板 10 の表面のうちシール材形成領域 G A において各々のシール下配線（下層側配線 3 b および上層側配線 6 b）と重なる領域には基板表面で凹む複数列の溝 110 が形成されている。従って、シール材 G S の下層側に相当する領域にシール下配線（下層側配線 3 b および上層側配線 6 b）を形成しても、シール下配線の膜厚分に相当する盛り上がりは溝 110 の深さで緩和、吸収されるので、シール材形成領域 G A の最表層（第 2 層間絶縁膜 7 の表面）は平坦である。このため、シール材形成領域 G A の表面にギャップ材 G を含有のシール材 G S を塗布し、このシール材 G S によってアクティブマトリクス基板 A M と対向基板 O P とを貼り合わせても、ギャップ材 G からの応力はシール材形成領域 G A に分散して加わるので、シール下配線に集中することがない。それ故、閉回路を構成している信号線（キャパシタ 85 を構成する下層側配線 3 b および上層側配線 6 b）をギャップ材 G を含有のシール材 G S の下層側を通して断線が発生しないので、所定の容量を確実に得ることができる。また、画面表示領域 21 の四辺いずれの領域にも、実質的に同じ高さのシール材形成領域 G A を形成するので、セルギャップを精度よく制御できる。

【0051】しかも、従来であればデッドスペースであったシール材 G S の形成領域にキャパシタ 85 を構成しているため、いくら容量の大きなキャパシタ 85 を構成したといっても、アクティブマトリクス基板 A M を大型化せずに済み、かつ、画面表示領域 21 を縮小する必要

もない。

【0052】また、アクティブマトリクス基板 A M のいずれの領域でも、ベタで形成したアルミニウム層などをシール材形成領域 G A とした構成では、光硬化性のシール材 G S に紫外線を照射してそれを光硬化させる場合には対向基板 O P の方から光照射しなければならず、対向基板 O P としては光透過性のかなり高い石英基板などを使用せざるを得ないという制約があるが、本発明によれば、配線形成領域にシール材 G S を形成するので、アクティブマトリクス基板 A M の側から光照射しても、配線同士の隙間を通して光がシール材 G S に到達し、硬化させることができる。それ故、対向基板 O P の光透過性についての要求を緩和でき、対向基板 O P についてはネオセラムなどの安価なガラス基板を使用できるという利点もある。また、熱硬化性のシール材 G S の場合には硬化時の熱に起因して基板に歪みが発生するのを避けることができないが、本発明によれば、このような歪みの原因となる加熱を必要としない光硬化性のシール材 G S を用いることができるという利点がある。

【0053】また、本形態では、図 3 および図 6 に示すように、データ線駆動回路 22 と画面表示領域 21 との間において、サンプリング回路 224 と画像信号線 V I D 1 ~ V I D 6 との間に相当する領域にシール材 G S が形成され、サンプリング回路 224 はシール材 G S よりも内側領域にある。このため、図 17 に示す構造からみれば、シール材 G S よりも内側部分にサンプリング回路 224 を形成した分だけ、シール材 80 よりも外側部分においてデータ線駆動回路 22 の形成領域を拡張できる。それ故、本形態によれば、液晶表示パネルの表示の品位を高めることを目的に、データ線駆動回路 22 に対してはそれを構成する T F T のチャネル幅の拡張によるオン電流の増大（動作速度の向上）、あるいは大規模回路の導入などを行うことができる。逆にいえば、アクティブマトリクス基板の周辺部分を縮小できるので、同じ大きさの表示領域を有しながらも周辺部分が狭い液晶表示パネルを構成することができる。また、データ線駆動回路 22 全体をシール材 G S の内側に形成すると、そこに印加される直流成分の電位の影響を受けて液晶の劣化を招くおそれがあるが、本形態では、サンプリング回路 224 のみをシール材 G S の内側に配置したので、液晶を劣化させない。しかも、サンプリング回路 224 は表示画面見切り用の遮光膜 B M 2 で覆われているので、たとえ液晶の配向に乱れが生じたとしても、表示の品位を落とさない。

【0054】（アクティブマトリクス基板の製造方法）このようにしてシール材形成領域 G A を構成する際には、画素スイッチング用の T F T 60、走査線 Y、およびデータ線 X の製造工程をそのまま利用する。その製造方法を図 14 ないし図 16 を参照して説明する。これらの図は、本形態のアクティブマトリクス基板の製造方法

を示す工程断面図であり、いずれの図においても、その左側部分には図4のA-A'線における断面(画素TFT部の断面)、中央部分には図7または図9のB-B'線における断面(シール材形成領域GA/シール下配線部)、右側部分には図7または図9のC-C'線における断面(シール材形成領域GA/シール下配線部)を示してある。なお、キャパシタ85を構成する下層側配線3bおよび上層側配線6bを形成する工程は、基本的には以下に説明する方法と同様なので、その説明を省略する。

【0055】まず、図14(A)に示すように、石英基板、あるいは無アリカリガラス基板などのガラス基板からなる透明な基板10の表面のうち、前記したシール材形成領域GAに下層側配線層3bを形成する領域にウェットエッチングまたはドライエッチングを施して、そこに溝110を形成する。但し、画素TFT部については平坦なままにしておく。なお、溝110を形成するにあたっては、基板10にエッチングを施してもよいが、それとは逆に、シール材形成領域GAに下層側配線層3bを形成する領域の両側にシリコン酸化膜などを形成してこの部分を盛り上げ、その結果として、下層側配線層3bを形成する領域に溝110が形成される構成であってもよい。

【0056】次に、画素TFT部およびシール下配線部のいずれの側にも、基板10の表面全体に直接、あるいは基板10の表面に形成した下地保護膜の表面全体に、減圧CVD法などにより厚さが約500オングストローム〜約2000オングストローム、好ましくは約1000オングストロームのポリシリコン膜からなる半導体膜1を形成した後、それをフォトリソグラフィ技術を用いて、図14(B)に示すようにパターンニングし、画素TFT部の側に島状の半導体膜1a(能動層)を形成する。これに対して、シール下配線部の側では半導体膜1を完全に除去する。上記の半導体膜の形成は、アモルファスシリコン膜を堆積した後、600℃〜700℃の温度で1時間〜8時間の熱アニールを施してポリシリコン膜を形成したり、ポリシリコン膜を堆積した後、シリコンを打ち込み、非晶質化した後、熱アニールにより再結晶化してポリシリコン膜を形成する方法を用いてもよい。

【0057】次に、図14(C)に示すように、熱酸化法などにより半導体膜1aの表面に厚さが約600オングストローム〜約1500オングストロームのゲート酸化膜2を形成する(ゲート酸化膜形成工程)。その結果、半導体膜1aの厚さは、約300オングストローム〜約1500オングストローム、好ましくは350オングストローム〜約450オングストロームとなる。

【0058】次に、図14(D)に示すように、走査線Yなどを形成するためのポリシリコン膜3を基板10全面に形成した後、それをフォトリソグラフィ技術を用い

て、図14(E)に示すように、パターンニングし、画素TFT部の側に走査線Yの一部としてのゲート電極を形成する。これに対して、シール材形成領域GAではポリシリコン膜を下層側配線3bとして残す。

【0059】次に、図14(F)に示すように、画素TFT部および駆動回路のNチャネルTFT部の側には、ゲート電極をマスクとして、約 $0.1 \times 10^{13} / \text{cm}^2$ 〜約 $10 \times 10^{13} / \text{cm}^2$ のドーズ量で低濃度の不純物イオン100(リンイオン)の打ち込みを行い、画素TFT部の側には、ゲート電極に対して自己整合的に低濃度のソース領域1b、および低濃度のドレイン領域1cを形成する。ここで、ゲート電極の真下に位置しているため、不純物イオン100が導入されなかった部分は半導体膜1aのままのチャネル領域となる。このようにしてイオン打ち込みを行った際には、ゲート電極として形成されていたポリシリコン膜、シール材形成領域GAで下層側配線3bとして形成されていたポリシリコン膜にも不純物が導入されるので、それらはさらに導電化することになる。

【0060】次に、図14(G)に示すように、画素TFT部では、ゲート電極より幅の広いレジストマスク102を形成して高濃度の不純物イオン101(リンイオン)を約 $0.1 \times 10^{15} / \text{cm}^2$ 〜約 $10 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込み、高濃度のソース領域1dおよびドレイン領域1eを形成する。

【0061】これらの不純物導入工程に代えて、低濃度の不純物の打ち込みを行わずにゲート電極より幅の広いレジストマスク102を形成した状態で高濃度の不純物(リンイオン)を打ち込み、オフセット構造のソース領域およびドレイン領域を形成してもよい。また、ゲート電極の上に高濃度の不純物(リンイオン)を打ち込んで、セルフアライン構造のソース領域およびドレイン領域を形成してもよいことは勿論である。

【0062】また、図示を省略するが、周辺駆動回路のPチャネルTFT部を形成するために、前記画面表示領域およびNチャネルTFT部をレジストで被覆保護して、ゲート電極をマスクとして、約 $0.1 \times 10^{15} / \text{cm}^2$ 〜約 $10 \times 10^{15} / \text{cm}^2$ のドーズ量でボロンイオンを打ち込むことにより、自己整合的にPチャネルのソース・ドレイン領域を形成する。なお、NチャネルTFT部の形成時と同様に、ゲート電極をマスクとして、約 $0.1 \times 10^{13} / \text{cm}^2$ 〜約 $10 \times 10^{13} / \text{cm}^2$ のドーズ量で低濃度の不純物(ボロンイオン)を導入して、ポリシリコン膜に低濃度領域を形成した後、ゲート電極よりの幅の広いマスクを形成して高濃度の不純物(ボロンイオン)を約 $0.1 \times 10^{15} / \text{cm}^2$ 〜約 $10 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込み、LDD構造(ライトリー・ドーフト・ドレイン構造)のソース領域およびドレイン領域を形成してもよい。また、低濃度の不純物の打ち込みを行わずに、ゲート電極より幅の広いマスク

を形成した状態で高濃度の不純物（ボロンイオン）を打ち込み、オフセット構造のソース領域およびドレイン領域を形成してもよい。これらのイオン打ち込み工程によって、CMOS化が可能になり、周辺駆動回路の同一基板内への内蔵化が可能となる。

【0063】次に、図15（A）に示すように、ゲート電極および下層側配線3bの表面側に、CVD法などによりたとえば800℃程度の温度条件下で厚さが約5000オングストローム〜約15000オングストロームのNSG膜（ボロンやリンを含まないシリケートガラス膜）などからなる第1層間絶縁膜4を形成した後、図15（B）に示すように、画素TFT部の側では、フォトリソグラフィ技術を用いて、第1層間絶縁膜4のうち、ソース領域1dに対応する部分にコンタクトホール5aを形成する。また、シール材形成領域GAでは、下層側配線3bに対応する部分に複数のコンタクトホール5bを形成する。

【0064】次に、図15（C）に示すように、第1層間絶縁膜4の表面側に、データ線Xを構成するためのアルミニウム膜6などの低抵抗導電膜をスパッタ法などで形成した後、図15（D）に示すように、フォトリソグラフィ技術を用いて、アルミニウム膜6をパターンニングし、画素TFT部では、データ線Xの一部としてソース電極を形成し、シール材形成領域GAでは上層側配線6bを形成する。

【0065】次に、図16（A）に示すように、ソース電極および上層側配線6bの表面側に、CVD法などによりたとえば500℃程度の低い温度条件下で厚さが約5000オングストローム〜約15000オングストロームのPSG膜（ボロンやリンを含むシリケートガラス膜）などからなる第2層間絶縁膜7を形成した後、図16（B）に示すように、画素TFT部の側では、フォトリソグラフィ技術およびドライエッチング法などを用いて、第1層間絶縁膜4および第2層間絶縁膜7のうちドレイン領域1eに対応する部分にコンタクトホール8aを形成する。

【0066】次に、図16（C）に示すように、第2層間絶縁膜7の表面側に、ドレイン電極を構成するための厚さが約1500オングストロームのITO膜9（Indium Tin Oxide）をスパッタ法などで形成した後、図16（D）に示すように、フォトリソグラフィ技術を用いて、ITO膜9をパターンニングし、画素TFT部では画素電極9aを形成し、シール下配線部では、ITO膜9を完全に除去する。ここで、画素電極9aとしては、ITO膜に限らず、SnOx膜やZnOx膜などの高融点の金属酸化物などからなる透明電極材料を使用することも可能であり、これらの材料であれば、コンタクトホール8a内でのステップカバレッジも実用に耐えるものである。

【0067】このように、画素TFT部に画素スイッチ

ング用のTFT60、走査線Y、およびデータ線Xを形成する工程を利用して下層側配線3bおよび上層側配線6bを形成すれば、シール材形成領域GAを必要最小限の工程数で形成できる。

【0068】（その他の実施の形態）なお、上記実施の形態では、シール材形成領域GAを構成するシール下配線を1層の配線層で構成したが、ギャップ材含有のシール材GSの下層側を1本の信号配線がシール下配線として通過する構成のアクティブマトリクス基板に本発明を適用した場合でも、この信号配線の断線を防止できるという利点がある。

【0069】

【発明の効果】以上説明したように、本発明に係る液晶装置では、アクティブマトリクス基板の基体となる基板の表面のうち、シール材形成領域において各々のシール下配線と重なる領域には溝が形成され、その分だけ、基板の表面が凹んでいる。従って、シール材の下層側に相当する領域にシール下配線を通して、シール下配線の膜厚分に相当する盛り上がりは溝の深さで緩和、吸収されるので、シール材形成領域の最表層は平坦になる。このため、ギャップ材からの応力はシール材形成領域に分散して加わるので、シール下配線に集中することがない。それ故、閉回路を構成している信号線をギャップ材含有のシール材の下層側を通して断線が発生しないので、表示の線欠陥などは発生しない。

【図面の簡単な説明】

【図1】本発明を適用した液晶装置の平面図である。

【図2】図1のH-H'線における断面図である。

【図3】図1に示す液晶装置に用いられる駆動回路内蔵型のアクティブマトリクス基板のブロック図である。

【図4】図1に示すアクティブマトリクス基板に形成した画素スイッチング用TFTの平面図である。

【図5】図1に示す液晶装置で行なうリセット（プリチャージ）動作を示すタイミングチャートである。

【図6】図1のL11で示す領域を拡大して示す説明図である。

【図7】図6に示すデータ線駆動回路周辺のシール材形成領域の説明図である。

【図8】（A）、（B）はそれぞれ、図7のB-B'線における断面図、およびC-C'線における断面図である。

【図9】図6に示す走査線駆動回路周辺のシール材形成領域の説明図である。

【図10】（A）、（B）はそれぞれ、図9のB-B'線における断面図、およびC-C'線における断面図である。

【図11】図1のL12で示す領域を拡大して示す説明図である。

【図12】図11に示すリセット回路周辺部分のシール材形成領域の説明図である。

【図13】(A)、(B)、(C)はそれぞれ、図12のD-D'線における断面図、E-E'線における断面図、およびF-F'線における断面図である。

【図14】図1に示すアクティブマトリクス基板の製造方法を示す工程断面図である。

【図15】図14に続いて行う工程を示す工程断面図である。

【図16】図15に続いて行う工程を示す工程断面図である。

【図17】従来のアクティブマトリクス基板のコーナ部分を示す説明図である。

【図18】図17に示すアクティブマトリクス基板の走査線駆動回路周辺のシール材形成領域の説明図である。

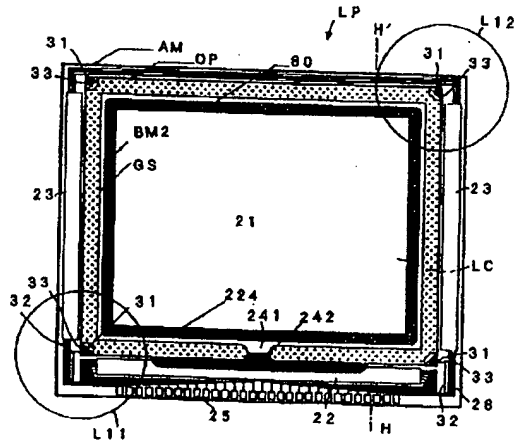
【図19】(A)、(B)はそれぞれ、図18のQ-Q'線における断面図、およびR-R'線における断面図である。

【符号の説明】

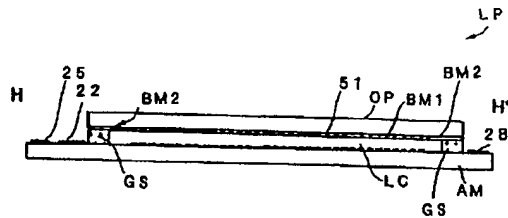
- 3b シール材形成領域の下層側配線
- 4 第1層間絶縁膜
- 6b シール材形成領域の上層側配線

- 7 第2層間絶縁膜
- 10 基板
- 21 画面表示領域
- 22 データ線駆動回路
- 23 走査線駆動回路
- 60 画素スイッチング用のTFT
- 64 サンプリング駆動信号線
- 65 画像信号サンプリング用配線
- 80 リセット駆動回路
- 85 キャパシタ
- 110 基板の溝
- AM アクティブマトリクス基板
- G ギャップ材
- GS ギャップ材含有のシール材
- GA シール材形成領域
- LP 液晶装置
- OP 対向基板
- VID1~VID6 画像信号線
- X データ線
- Y 走査線

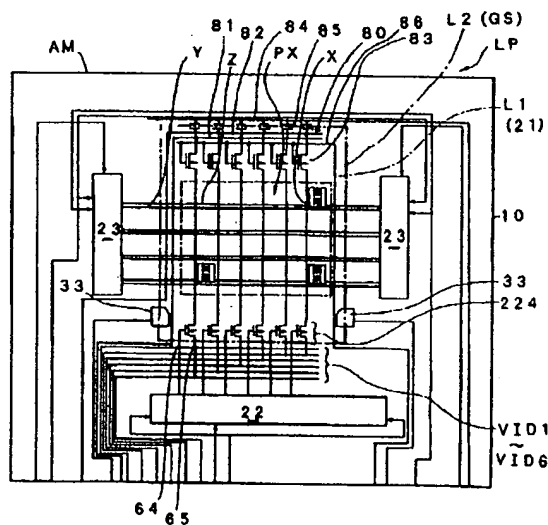
【図1】



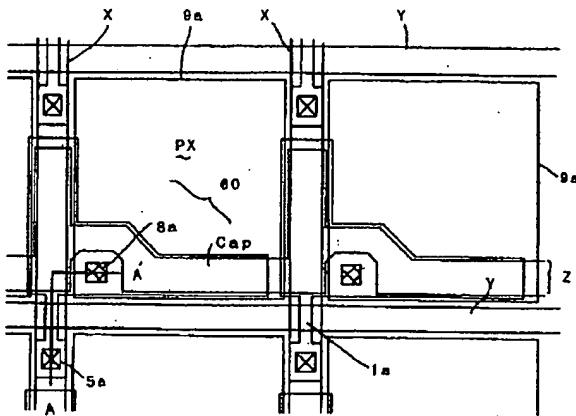
【図2】



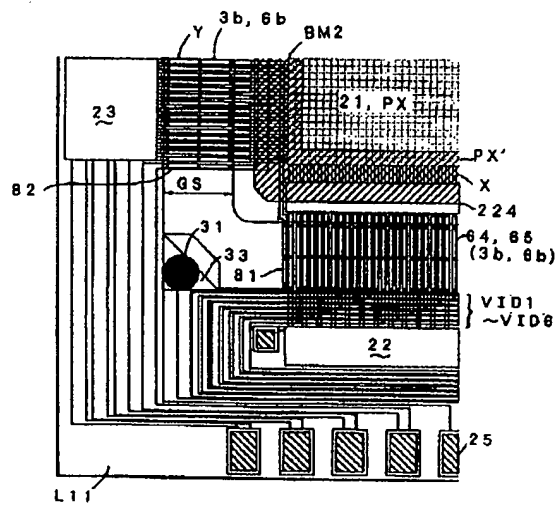
【図3】



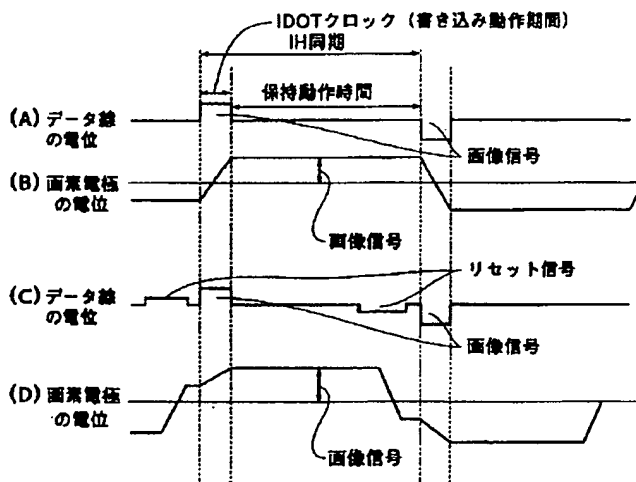
【図4】



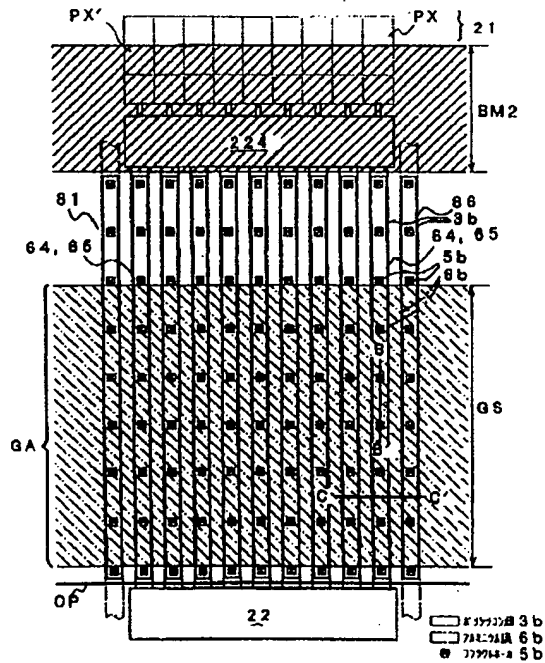
【図6】



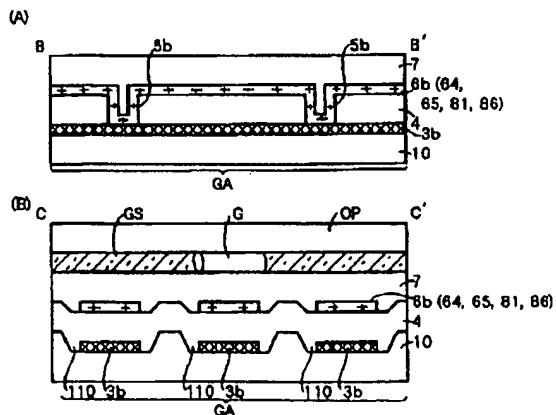
【図5】



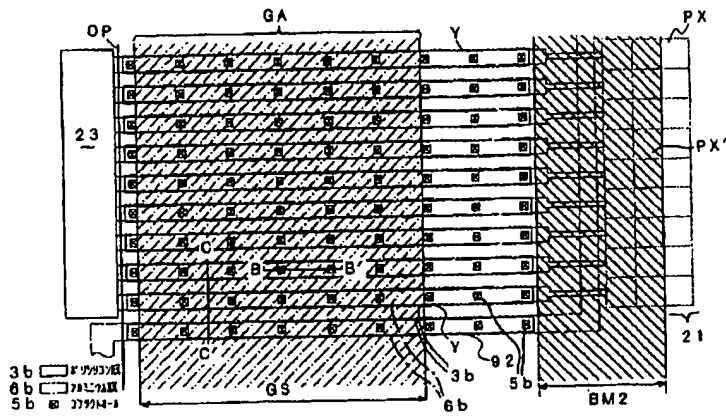
【図7】



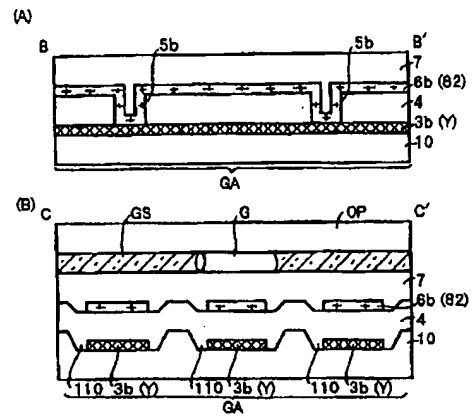
【図8】



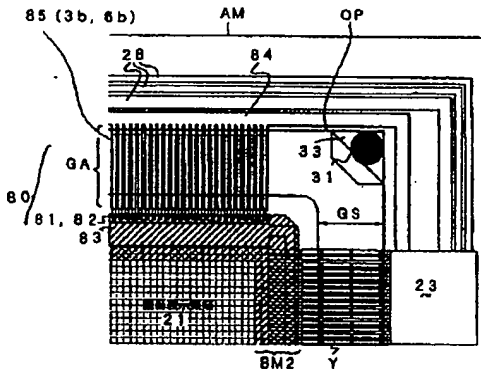
【図9】



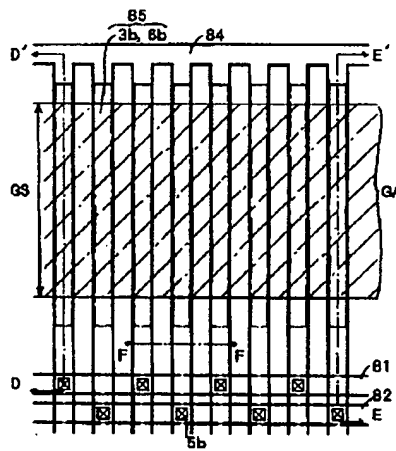
【図10】



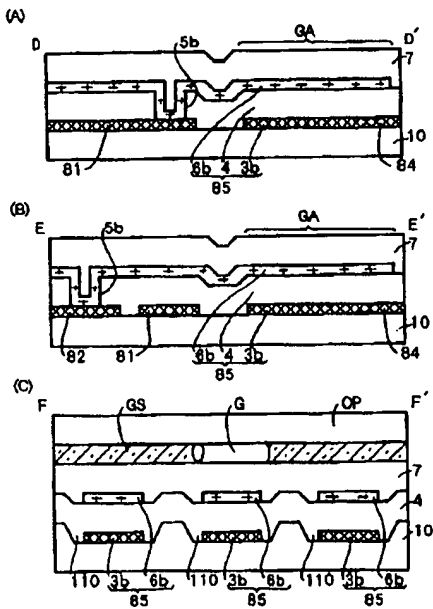
【図11】



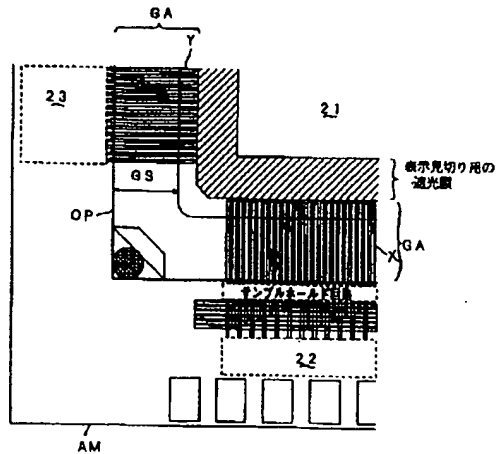
【図12】



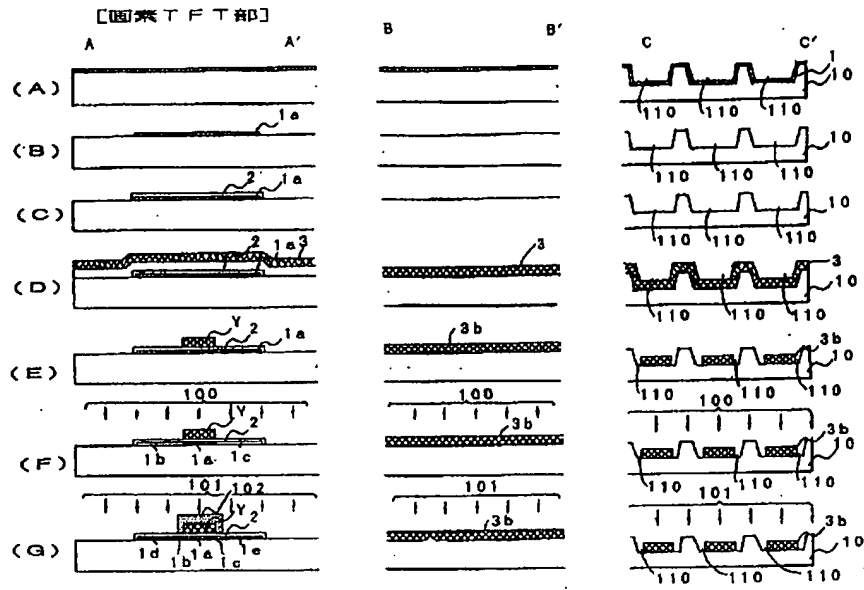
【図13】



【図17】



【図14】



【図15】

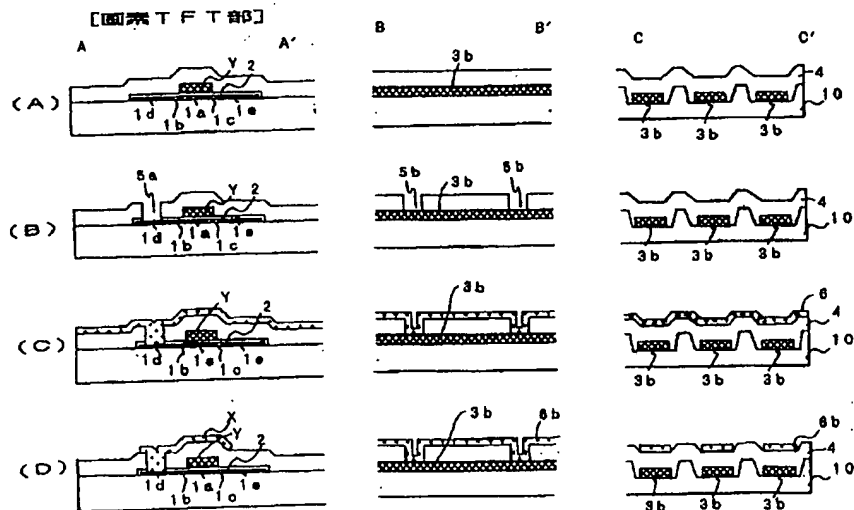


Figure 1 consists of two cross-sectional views, (A) and (B), of a semiconductor device.
 (A) shows a flat structure. It has a substrate GA at the bottom. Above it are three layers: a bottom layer 4 (hatched), a middle layer 3b (dotted), and a top layer 6b (cross-hatched). A dielectric film 6a is on top of layer 6b. The top surface is labeled Q, and the bottom surface is labeled Q'.
 (B) shows a structure with a gate oxide film 6a on top. Below it are gate electrodes 6b, a gate insulating film 4, and a substrate GA. The gate electrodes 6b are on top of the gate insulating film 4. The gate oxide film 6a is on top of the gate electrodes 6b. The top surface is labeled R, and the bottom surface is labeled R'. The gate oxide film 6a is labeled GS, and the gate electrodes 6b are labeled G. The gate insulating film 4 is labeled OP.